



Evento	Salão UFRGS 2017: SIC - XXIX SALÃO DE INICIAÇÃO CIENTÍFICA DA UFRGS
Ano	2017
Local	Campus do Vale
Título	Desenvolvimento de sistema para aquisição simultânea de múltiplos canais de Televisão Digital
Autor	PAULO GUILHERME KIPPER
Orientador	ALTAMIRO AMADEU SUSIN

Desenvolvimento de sistema para aquisição simultânea de múltiplos canais de Televisão Digital

Paulo Guilherme Kipper e Altamiro Amadeu Susin (Orientador)

Resumo

Normalmente os receptores de televisão sintonizam um ou dois canais simultaneamente. Este trabalho relata a experiência de projeto e construção do protótipo de um equipamento multirreceptor que pode sintonizar e analisar os dados de até quatro canais de televisão digital.

Um programa de TV Digital é transmitido em pacotes de 188 bytes. Os dados são transmitidos num fluxo de taxa aproximadamente constante e chama-se *Transport Stream* (TS). O TS, no qual estão contidas as todas as informações de áudio, vídeo, legendas, programação e interatividade permite a verificação das etapas constituintes do hardware implementado e do software embarcado no sistema. Pode-se verificar, para fins de validação do sistema, que cada pacote de 188 bytes de TS é iniciado por um byte pré-estabelecido de sincronismo. Após 20 bits consecutivos, existem 4 bits de verificação de continuidade, realizando a contagem de cada pacote sequencial através de um contador.

Para efetivar a separação, ou demultiplexação, dos elementos de áudio ou vídeo ou interatividade, uma lógica contida em FPGA examina tabelas, contidas nos *payloads*, indicadas sob diferentes *Program IDs* (PID) e, a partir dessas tabelas, reconstrói separadamente os diferentes *Elementary Streams* (ES), que são as seções de dados que de fato contém o conteúdo de áudio, vídeo, informações de interatividade e *Closed Caption* (CC). Esses diversos fluxos de dados são direcionados para a memória e para os seus devidos decodificadores, que transformarão a informação compactada em informação pronta para ser exibida para o usuário final.

O front-end do projeto de televisão digital é composto por um NIM Tuner (*Network Interface Module Tuner*), peça externa ao FPGA utilizado, que é capaz de sintonizar específicas frequências e também demodular a informação vinda da antena, recuperando assim, o fluxo de dados digital. Essas operações são configuradas por um *Control Path*, que utiliza a interface serial I2C. Para enviar as informações necessárias para o Tuner ser devidamente sintonizado, foi implementado um módulo de propriedade intelectual (IP) que faz a interface entre o barramento AMBA do processador LEON3. Esse núcleo é capaz de transcrever os comandos para o protocolo do Tuner, ao qual é conectado através de dois fios (*data*, e *clock*).

Após a correta configuração e verificação de sintonia, sendo a última feita no próprio dispositivo, um *Datapath* paralelo de 8 bits é encarregado de transferir o fluxo de dados proveniente da demodulação de cada Tuner para o FPGA contendo os demais submódulos do projeto. Para conectar fisicamente os dispositivos, foi manufaturada uma placa de circuito impresso.

Para sincronizar o fluxo de dados do *clock* do demodulador com o *clock* interno do sistema, foi preciso criar um módulo responsável pelo casamento entre os relógios e o fluxo de dados foi direcionado para o barramento APB do sistema de processamento.

A transferência de dados é feita pelo módulo de Acesso Direto à Memória (DMA). Os diversos fluxos são armazenados em listas encadeadas na memória criadas pelo processador, o DMA assume a tarefa de transferir determinadas quantidades de dados de tal endereço para certa região de memória. Assim, é efetivada a gravação em memória do fluxo de dados de TS. Esse sequenciamento, como supracitado, ocorre programando algoritmos em *Software*, que, baseados na informação fornecida pelo usuário, salvam arquivos de áudio e vídeo na memória, armazenando assim, as programações transmitidas pelas emissoras.